



IF W

Docket No. 245829US2/tca

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tetsuhiko AZUMA

GAU: 2181

SERIAL NO: 10/718,591

EXAMINER:

FILED: November 24, 2003

FOR: MICROPROCESSOR AND VIDEO/SOUND PROCESSING SYSTEM

SUBMISSION NOTICE REGARDING PRIORITY DOCUMENT(S)

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Certified copies of the Convention Application(s) corresponding to the above-captioned matter:

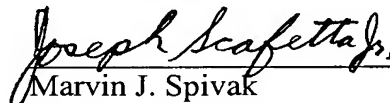
☒ are submitted herewith

☐ were filed in prior application filed

☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Joseph Scafetta, Jr.

Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 11/04)



10/718,591

S-832

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 1 0 1 2 8
Application Number:

[ST. 10/C] : [J P 2 0 0 3 - 3 1 0 1 2 8]

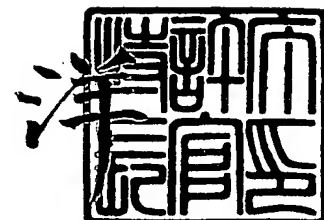
出 願 人 株 式 会 社 東 芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 1 1 月 2 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 ASB029018
【提出日】 平成15年 9月 2日
【あて先】 特許庁長官殿
【国際特許分類】 G09C 1/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 東 哲彦
 【氏名】
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100083806
 【弁理士】
 【氏名又は名称】 三好 秀和
 【電話番号】 03-3504-3075
【選任した代理人】
 【識別番号】 100068342
 【弁理士】
 【氏名又は名称】 三好 保男
【選任した代理人】
 【識別番号】 100100712
 【弁理士】
 【氏名又は名称】 岩▲崎▼ 幸邦
【選任した代理人】
 【識別番号】 100100929
 【弁理士】
 【氏名又は名称】 川又 澄雄
【選任した代理人】
 【識別番号】 100108707
 【弁理士】
 【氏名又は名称】 中村 友之
【選任した代理人】
 【識別番号】 100095500
 【弁理士】
 【氏名又は名称】 伊藤 正和
【選任した代理人】
 【識別番号】 100101247
 【弁理士】
 【氏名又は名称】 高橋 俊一
【選任した代理人】
 【識別番号】 100098327
 【弁理士】
 【氏名又は名称】 高松 俊雄
【手数料の表示】
 【予納台帳番号】 001982
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

マイクロプロセッサにおいて、

データの入出力制御及び前記データ処理のための命令の実行を行う命令実行部及び、前記データを一時的に保持するキャッシュメモリを有するプロセッサコアと、

前記プロセッサコアに接続され、前記キャッシュメモリを含むメモリの管理を行うメモリ管理部と、

前記プロセッサコア及び前記メモリ管理部に接続され、このマイクロプロセッサの外部との前記データの入出力を行う際にデータバスの信号を入れ換え可能なバスインターフェイスと、

を有することを特徴とするマイクロプロセッサ。

【請求項 2】

前記バスインターフェイスは、

前記プロセッサコア及びメモリ管理部に接続され、データの入出力を行うデータ入出力部と、

前記データ入出力部に接続され、前記データの入出力の際に、データバスの接続状況の入れ換えを行うスイッチング回路と、

前記スイッチング回路に接続され、所定のビット数の単位で前記データバスの接続状況の入れ換えを行うバススイッチと、

を有することを特徴とする請求項 1 記載のマイクロプロセッサ。

【請求項 3】

前記メモリ管理部は、

前記データバスの信号の入れ替えを制御する情報であるプリルーティング情報を格納するプリルーティング格納部と、

前記プロセッサコア内で生成された仮想アドレスを物理アドレスに変換する際に参照される情報を格納するアドレス変換キャッシュメモリと、

を有することを特徴とする請求項 2 記載のマイクロプロセッサ。

【請求項 4】

前記プリルーティング情報は、前記メモリ管理部に保持されることを特徴とする請求項 3 記載のマイクロプロセッサ。

【請求項 5】

前記プリルーティング情報は、外部アクセスの段階で、前記メモリ管理部から前記スイッチング回路に転送されることを特徴とする請求項 4 記載のマイクロプロセッサ。

【請求項 6】

前記スイッチング回路は 1 ビット単位で前記データバスの接続状況の入れ換えを行うことを特徴とする請求項 2 記載のマイクロプロセッサ。

【請求項 7】

前記バススイッチは、バススイッチ制御情報に基づいて、前記データバスの接続状況の入れ換えの制御を行うことを特徴とする請求項 2 記載のマイクロプロセッサ。

【請求項 8】

前記バススイッチ制御情報は、前記メモリ管理部に保持されることを特徴とする請求項 7 記載のマイクロプロセッサ。

【請求項 9】

前記バススイッチは、前記メモリ管理部が管理するページ単位で接続状況の入れ換えを行うことを特徴とする請求項 2 記載のマイクロプロセッサ。

【請求項 10】

前記メモリ管理部は、アドレス変換キャッシュメモリの各エントリーにバススイッチ制御情報を格納することを特徴とする請求項 9 記載のマイクロプロセッサ。

【請求項 11】

前記バススイッチ制御情報は、前記プロセッサコアのキャッシュメモリの各エントリー

に格納されることを特徴とする請求項 1 0 記載のマイクロプロセッサ。

【請求項 1 2】

前記バススイッチは、前記プロセッサコアから外部へのアクセスが発行された場合には、前記バススイッチ制御情報を受け取り、前記バススイッチ制御情報に基づいてデータバスの接続状況の入れ換えを行うことを特徴とする請求項 9 記載のマイクロプロセッサ。

【請求項 1 3】

前記メモリ管理部は、バススイッチ制御情報を格納するバススイッチ制御情報保持部を有し、外部アクセスの段階で、前記アドレス変換キャッシュメモリに格納される物理アドレスに基づき、該当するバススイッチ制御情報を送信することを特徴とする請求項 3 記載のマイクロプロセッサ。

【請求項 1 4】

映像音声システムにおいて、

データの入出力制御の命令の実行を行う命令実行部及び、前記データを一時的に保持するキャッシュメモリを有するプロセッサコア、前記プロセッサコアに接続され、前記キャッシュメモリを含むメモリの管理を行うメモリ管理部、及び、前記プロセッサコア及び前記メモリ管理部に接続され、このプロセッサの外部との前記データの入出力を行う際にデータバスの信号を入れ換え可能なバスインターフェイス、を有するマイクロプロセッサと、

コンテンツを格納する記憶装置と、

前記記憶装置に接続され、前記記憶装置内に格納されるコンテンツの送受信を行うブリッジ部と、

前記ブリッジ部に接続され、ブリッジ部から送信されたコンテンツを一時的に保持するメモリ部と、

前記メモリ部に接続され、前記プロセッサにより加工されたデータのデータをアナログに変換して出力するアナログ変換部と、

を有することを特徴とする映像音声システム。

【書類名】明細書

【発明の名称】マイクロプロセッサ及び映像音声システム

【技術分野】

【0001】

本発明は、マイクロプロセッサ及び映像音声システムに関し、特に、メディアなどのコンテンツの保護を高いレベルかつ低コストで行う技術に関する。

【背景技術】

【0002】

現在、映像音声等を扱う機器には、映像音声情報の再生処理等を行うためにマイクロプロセッサや専用LSIが搭載されている。映像や音声等のデータ（以下、コンテンツと記す）は光ディスク等の物理メディアや、HDD（Hard Disk Drive）のような磁気記憶装置に格納されている場合が多い。近年、映像音声などの情報は、著作権保護のために特殊な方法で暗号化などが施され、上記光ディスクや磁気記憶装置に格納されるのが殆どである。上記のような記憶装置に格納されたコンテンツの保護やセキュリティ対策を施しているため、格納されたデータを悪用して他の装置で再生しようとする者がいたとしても、通常は簡単にはセキュリティを破ることはできない。しかし、解析する上でのヒントがあれば、コンピュータ上でのデータ処理によって、簡単にセキュリティが破られてしまう可能性がある。解析する上でのヒントとなる情報は、最終的にデータを処理する部分、つまりプロセッサや専用LSIの周辺に存在する。そこではまさに暗号化された情報が、暗号が解かれた元の情報に変換されている。その暗号が解かれて変換された情報の多くはデータ処理を行うプロセッサや専用LSIに接続されるRAM（Random Access Memory）といったメモリに格納される。

【0003】

この場合、RAM自体の信号を測定装置でもって測定しデータを解析していくと、その解析情報がヒントとなり、セキュリティが破られるきっかけになる可能性がある。

【0004】

そのため従来技術としては、そのメモリのバスを外部から隠蔽するために、プロセッサとメモリを1チップにまとめるといった手法が使われたり、プロセッサの素性がわからないように異なった型番をICのパッケージにシルク印刷したりする方法が取られてきた。

【0005】

一方、従来の秘密情報の解読攻撃対抗方法においては、変換後の秘密情報を格納する揮発性メモリへの書き込み時に情報を任意に変換する手段を具備し、この変換手段により秘密情報を電子機器毎及び揮発性メモリに書き込む毎に異なる場所に変換して格納するようにする技術が開示されている（例えば、特許文献1参照。）。

【0006】

また、マイクロプロセッサ内のバスインターフェースユニットに仮想アドレスを物理アドレスに変換するアドレス変換手段と、マイクロプロセッサ外部のメモリから指定された物理アドレスに対応する内容を読み出すメモリ読み出し手段を含み、命令TLBでは、アドレス変換規則と、各々が仮想アドレスで指定された範囲の暗号化属性情報を有する1以上のエントリーを含むテーブルを格納する技術について開示されている（例えば、特許文献2参照。）。

【特許文献1】特開平11-45212号公報（第1図）

【特許文献2】特開2001-230770号公報（第5図）

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記の手法では専用品を製造する必要があり、低コスト化が非常に困難である。従って、システムコスト上の問題で、基本的にメモリは汎用品を使う場合がほとんどなので、メモリにつながる信号線とその信号線の機能はすぐに突き止められてしまう

可能性があるという問題点があった。

【0008】

本発明は上記事情に鑑みて成されたものであり、その目的とするところはメディアなどのコンテンツの保護を高いレベルで行うマイクロプロセッサ及びセキュリティ機能を有する映像音声システムを安価で提供することにある。

【課題を解決するための手段】

【0009】

本願発明の一態様によれば、データの入出力制御及び前記データ処理のための命令の実行を行う命令実行部及び、前記データを一時的に保持するキャッシュメモリを有するプロセッサコアと、前記プロセッサコアに接続され、前記キャッシュメモリを含むメモリの管理を行うメモリ管理部と、前記プロセッサコア及び前記メモリ管理部に接続され、このマイクロプロセッサの外部との前記データの入出力を行う際にデータバスの信号を入れ換え可能なバスインターフェイスと、を有することを特徴とするマイクロプロセッサが提供される。

【0010】

また、本願発明の一態様によれば、データの入出力制御の命令の実行を行う命令実行部及び、前記データを一時的に保持するキャッシュメモリを有するプロセッサコア、前記プロセッサコアに接続され、前記キャッシュメモリを含むメモリの管理を行うメモリ管理部、及び、前記プロセッサコア及び前記メモリ管理部に接続され、このプロセッサの外部との前記データの入出力を行う際にデータバスの信号を入れ換え可能なバスインターフェイス、を有するマイクロプロセッサと、コンテンツを格納する記憶装置と、前記記憶装置に接続され、前記記憶装置内に格納されるコンテンツの送受信を行うブリッジ部と、前記ブリッジ部に接続され、ブリッジ部から送信されたコンテンツを一時的に保持するメモリ部と、前記メモリ部に接続され、前記プロセッサにより加工されたデータのデータをアナログに変換して出力するアナログ変換部と、を有することを特徴とする映像音声システムが提供される。

【発明の効果】

【0011】

以上説明したように、本発明によれば、メディアなどのコンテンツの保護を高いレベルで行うマイクロプロセッサ及びセキュリティ機能を有する映像音声システムを提供することができる。

【発明を実施するための最良の形態】

【0012】

本発明に係るマイクロプロセッサ及びセキュリティ機能を有する映像音声システムの実施形態について、図面を参照しながら詳細に説明する。

【0013】

図1は本実施形態の映像音声システムを示すブロック図である。この映像音声システム101は、プロセッサ102と、メモリ103と、ブリッジ部104と、記憶装置105と、映像アナログ変換部108と、を有する。プロセッサ102は、データの管理およびデータの処理を行う。ここで、本実施形態においては、プロセッサ102はセキュリティ機能を強化するため、このプロセッサ外部へのデータを出力する際には、そのデータに係る信号の入れ替えを行う。プロセッサ102はローカルバス110に接続され、このローカルバス110を経由して各種データの入出力を行う。メモリ103はローカルバス110に接続され、各種データを一時的に保持する機能を有する。ブリッジ部104はローカルバス110及びドライブ接続バス111、112に接続され、ローカルバス110とドライブ接続バス111、112とのインターフェースを担う。記憶装置105は、映像や音声等のコンテンツを格納する。記憶装置105には、光学系記憶装置106と磁気系記憶装置107とが含まれる。ここで光学系記憶装置106は、例えば、CD-ROMやDVD-ROMといった記憶媒体を扱う装置が用いられる。また、磁気系記憶装置107は、HDD（ハードディスクドライブ）といった装置が用いられる。これらの記

憶装置は、専用の信号線であるドライブ接続バス111, 112によってブリッジ部104と接続される。光学系記憶装置106や磁気系記憶装置107に格納されている映像や音声等のコンテンツは圧縮を行うというように、コンテンツの全容量を減らすという目的と、そのままのデータ形式では映像や音声として観賞することができないようにするという意図も含めて、データの形式を変える形で格納されるようにしても良い。なお、この映像音声システム101は映像及び音声のみを取り扱うシステムに限られず、記憶装置105に記憶可能な様々なコンテンツを取り扱うことができる。

【0014】

次に、この映像音声システムが映像や音声等のコンテンツが再生される場合について説明する。まず、プロセッサ102の指示により、記憶装置105に格納されたコンテンツは、ドライブ接続バス111, 112を経由してブリッジ部104へ転送され、さらに、ローカルバス110を経由してメモリ103に転送される。この段階では、メモリ上に転送されたコンテンツの情報は、記憶装置105に格納されているコンテンツの状態と同じものであり、通常は、圧縮等の処理が施されている。プロセッサ102は、メモリ上のコンテンツの情報を元にデータの処理を行ない、観賞等することが可能な映像情報または音声情報に変換を施す。プロセッサ102による変換が終了した結果得られる、映像や音声として観賞可能な情報は、ローカルバス110を経由して一旦メモリ103に格納され、その後、映像音声アナログ変換部108に転送され、デジタル情報からアナログ情報に変換され、アナログ情報は、映像音声出力として出力される。

【0015】

図2は、本実施形態のマイクロプロセッサを示すブロック図である。このマイクロプロセッサ121は、外部のメモリと接続されるバスインターフェイス124にデータバスシャッフル機構を備えるものである。本実施形態では、データバスを32ビット長とした場合について以下に説明する。このマイクロセッサ121は、プロセッサコア122と、メモリ管理部(MMU)123と、外部バスインターフェイス部124と、を有する。プロセッサコア122は、データの入出力制御及びデータ処理のための命令の実行を行う命令実行部125と、データを一時的に保持するキャッシュメモリ126とを有する。命令実行部125による命令を読み出す作業である命令フェッチ処理、命令実行部125のロード命令やストア命令等の実行処理、若しくは、キャッシュメモリ126で発生したキャストアウト処理(不要なエントリー情報を外部メモリに退避させる処理)によって外部バスインターフェイスに接続されているメモリにアクセスする必要がある場合、そのアクセス情報は内部データバス127を介して、外部バスインターフェイス124に送られる。ここで、キャストアウト処理とは、キャッシュメモリからあふれた情報を外部メモリに書き戻す処理を言う。

【0016】

このようにして、実際に外部バスインターフェイス部124を介して外部バスに接続されているメモリにアクセスする場合、データの転送方向に関わらず外部バスインターフェイス部124を経由するようにする。ここで、この外部バスインターフェイス部124は、プロセッサコア122及びメモリ管理部123とのデータの入出力を行うデータ入出力部128と、データバス信号のシャッフルを行うためのスイッチング回路(以下、プリルーターとも記す)129と、バススイッチ130と、を有するようにしてある。ここで、本実施形態においては、バススイッチ130は4ビット幅にしたが、これには限られずコスト等の条件に応じて何ビット幅でも実施可能である。

【0017】

次に、プリルーター129について説明する。プリルーター129は、外部バスインターフェイスのデータバスと内部データバス127間で、1ビット単位で信号の入れ換えを行う(シャッフル)機能を有し、いわば、スイッチャとしての役目をする。プリルーター129によるデータバスのシャッフルの制御は、MMU123に存在するプリルーター用レジスター131に格納されている情報を元に行われる。この情報をプリルータリング情報とする。プリルータリング情報には、外部バスインターフェイスのデータバスの各信号

と、内部バスインターフェイスのデータバスの各信号の接続状況を示した情報が格納される。

【0018】

図3は、プリルーター129が格納するプリルーティング情報のフォーマット例を示す図である。図示の如く、外部バスインターフェイスのデータバスが32ビットの時には、プリルーティング情報は、5ビットのパラメーターを32個格納できるように、160ビットで構成される。ここで、5ビットのパラメーターというのは、外部バスのデータバス32ビットの信号線それぞれに名前代わりに特定の番号をつけるために使われる。

【0019】

例を挙げると、仮に、外部データバスのD[0]信号は十六進数で0x00が割り当てられ、D[31]信号は同様に0x1Fが割り当てられることになる。このような方法で、内部データバスのあるビットと接続される外部データバスのビットを対応付けることができる。

【0020】

図4は、図3のプリルーティング情報を例にしたプリルーター接続例を説明するための図である。本図を用いて具体的に接続例を説明する。内部データバスにおけるD[31]の部分に接続される外部データバスは、プリルーティング情報の[31]を見ると0x07になっているので、外部データバスのD[07]が接続されることになる。また、D[30]の部分に接続される外部データバスは、プリルーティング情報の[30]を見ると0x13になっているので、外部データバスのD[19]が接続されることになる。以下同じようにして結び付けていく。プリルーティング情報は、実際に外部にアクセスが行われる段階で、プリルーター用レジスター131からプリルーター制御線133を通してプリルーターに送られる。ここで、実際にプロセッサに実装する上では、プリルーティング用レジスターは複数持たせることも可能である。その場合には、プリルーティング情報の選択方法として、アクセスするアドレスの上位側の情報を利用するという方法も考えられる。

【0021】

図5は、本実施形態の4ビットバススイッチ130を示す図である。バススイッチのビット数は何ビットでも良いが、本実施形態においては、4ビットの例を挙げる。このバススイッチは、MMU123が管理するページ単位で、ある決まったビット数範囲内のシャッフルを切り替えることができるように搭載したものである。

【0022】

このバススイッチの目的は、ページ単位でシャッフルのパターンを切り替えることにより、よりデータの構成を外部から分かりにくくすることである。このバススイッチ32ビットのデータバスを4ビット単位に分割し、それぞれに4ビット幅のバススイッチを設ける。つまり32ビットのデータバスの場合、4ビットバススイッチは8個必要になる。この4ビットのバススイッチは、その内部バス側（正確にはプリルーター側）と外部バス側のそれぞれ4ビットデータバス間で任意に接続関係を変えられるスイッチである。

【0023】

4ビットバススイッチに接続される各信号の接続関係を制御するためにバススイッチ制御信号が設けられているが、データのシャッフルの度合いを高めるため、各バススイッチに別々に設けることようにしてもよい。図5の実施形態においては、4ビットスイッチ130は、4つのスイッチ部を有する。これらスイッチは、バススイッチ制御情報に基づいて動作を行う。本実施形態の場合において、バススイッチ制御情報は5ビットになる。5ビットである理由は、4ビット対4ビット同士の接続の組み合わせの総数は24通りあるため、その24通りを表すことが可能なパラメーターとして5ビットを選択したためである。

【0024】

図6は、バススイッチ制御信号と接続状況の対応を示す図である。図5に示す4ビットバススイッチにおいては、内部バス側（プリルーター側）の信号A、B、C、Dと、外部

データバス側の信号 E, F, G, H との接続は、信号 A は信号 H に接続され、信号 B は信号 E に接続され、信号 C は信号 G に接続され、信号 D は信号 F に接続される。

【0025】

図 7 は、バススイッチの接続状況とバススイッチ制御信号のパラメータの組み合わせを示す図表である。この図表において、各行（横方向）は、あるバススイッチ制御信号（情報）における接続状況を示している。バススイッチ接続状況の「A」の列（縦方向）に示されている E, F, G, H という記号があるバススイッチ制御信号（情報）における、内部バス（プリルーター）側の A 信号と接続される外部バス側の信号であることを示している。ここで、図 5 において、バススイッチ制御信号（情報）は十六進数で“0x19”となっている。この値で図 7 を見ると、A 信号には H 信号が接続され、B 信号には E 信号が、C 信号には G 信号が、D 信号には F 信号が接続されるということになり、これは図 5 に示した場合と一致する。このように、図 5 のバススイッチは図 7 の図表に基づいて接続される。

【0026】

外部バスのデータバス幅が 32 ビットの場合には、4 ビットバススイッチは 8 個必要になる。バススイッチが 8 個になるので、それらのバススイッチを制御するバススイッチ制御信号は 8 個分になり、5 ビット×8 = 40 ビットの信号（情報）になる。バススイッチの切り替えパターンを、ページ単位で管理するために、本実施形態では MMU（メモリ管理ユニット）のアドレス変換キャッシュメモリである TLB（Table look aside buffer）132 の各エントリーに格納する。

【0027】

図 8 は、本実施形態における TLB の構造例を示す図である。ここで、TLB の仕組みについて説明を行う。TLB は、プロセッサの中で生成された仮想アドレスと呼ばれるアドレスを、実際に物理的に利用可能な物理アドレスに変換するための、変換参照用の情報を格納するキャッシュメモリの 1 つである。

【0028】

ここでこの TLB の 1 組の情報を格納する部分をエントリーと呼ぶ。基本的に各エントリーの中には、仮想アドレスと比較を行うための仮想アドレスタグと呼ばれる情報が格納され、仮想アドレスと仮想アドレスタグの内容が一致すると、その一致したエントリーの変換参照用の情報を利用して、物理アドレスを生成する。ここで説明した仮想アドレスタグは、図 8 に示す V A T A G（仮想アドレス比較用情報格納部）141 で示され、変換参照用の情報は、図 8 の P A（物理アドレス置換用情報格納部）144 で示される。TLB の各エントリーには、上記以外にもページと呼ばれる領域のサイズを示す情報や、アクセス制限を指定するステータス情報 142 も含まれる。

【0029】

本実施形態では、TLB の各エントリーにバススイッチ制御情報格納部 143 を設け、ページ単位でバススイッチの接続状況を変えられるようにしてある。このバススイッチ制御情報格納部 143 は、外部データバス幅を 32 ビット、バススイッチのビット数を 4 ビットとした本例では、5 ビット×8 個となり計 40 ビットのパラメータで構成する。

【0030】

この 40 ビットのパラメータで、8 個ある 4 ビットのバススイッチを、それぞれ図 7 に示す図表に基づいて接続を切り替えるが、これらのバススイッチ制御情報 145 は、仮想アドレスと一致するエントリーが選択された直後に、物理アドレス置換用情報格納部 144 から物理アドレス上位側情報 146 が取り出されるのと同時に、TLB 情報出力として取り出される。

【0031】

この情報出力は、ただちに外部バスインターフェイスに転送されるのではなく、例えば、データキャッシュメモリーのための書き込みアクセスの場合には、キャッシュメモリーにバススイッチ制御情報が送られるだけで、バススイッチには転送されない。つまり、キャッシュメモリー側にも、バススイッチ制御情報を格納する機能が必要になる。

図9は、本実施形態におけるキャッシュメモリの構造例を説明するための図である。このキャッシュメモリには、物理アドレス比較情報格納部151と、ステータス情報格納部152と、バススイッチ制御情報格納部153と、データ格納部154とを有する。

【0032】

プロセッサ内部から発行された外部バスインターフェイスに対するアクセスの場合にはTLB132からそのままバススイッチ制御情報が、外部バスインターフェイス中のバススイッチに送られ、データのシャッフルが行われる。また、キャッシュメモリに格納されているデータが、キャストアウト処理（キャッシュメモリの空き容量が無くなり、その結果キャッシュ中のあるデータを外部バスに追い出して、外部メモリに書き戻す処理）が行われる時には、キャストアウトされるデータやそのアドレス値と共に、キャッシュに格納されていたバススイッチ情報も外部バスインターフェイスに送られる。その際に、キャストアウトされるデータに対するシャッフルが行われる。

【0033】

バススイッチ制御情報は、プログラマーが何らかの方法によって定義する場合と、ハードウェアで自動生成する場合が考えられる。どちらにしろ、一度ページに定義されたバススイッチ制御情報は、電源を切ったり、ハードウェアリセットを行うなどしてプロセッサ自体の動作を止め初期化を行わない限り、変更することは出来ない。それは、プロセッサが動作している途中で変えてしまうと、制御情報を変える前に書き込んだ値は、制御情報を変えた後の状態では正しく値を読み出すことができなくなるためである。従って、本実施形態のプロセッサを搭載したシステムが動作し続ける期間は、一度生成したバススイッチ制御情報は同一のものをを用いる。

【0034】

図10は、外部メモリにTLB情報とバススイッチ制御情報を格納する場合を説明するための図である。ここではプロセッサ161内のTLB162に格納されたバススイッチ制御情報が、このTLB162のエントリーから追い出される場合には、外部バス163を通して外部メモリ164内のあるメモリ領域165に格納される。その際には、外部メモリ上にTLBのエントリー情報も一緒に格納するようにする。これらTLBのエントリー情報と、バススイッチ制御情報を合わせて、ページテーブル情報とする。

【0035】

上述した実施形態1では、プリルーターによるデータ信号線のシャッフル機構と、バススイッチとTLBを組み合わせることで可能になる、ページ単位でシャッフルパターンを切り替えるプロセッサについて説明した。この場合には、シャッフルパターンの情報であるバススイッチ制御情報は外部バスインターフェイスに出力されるので、バススイッチ情報の解析が行われてしまう可能性がある。そのため、実施形態2としては、バススイッチ情報を外部バスに出力させない方式を用いることにより、シャッフル機構の秘匿性を上げ、よりセキュリティ効果を上げる事が可能なプロセッサについて説明する。

【0036】

図11は、実施形態2に係るプロセッサを説明するための図である。この場合、TLB171は実施形態1とは異なり、各エントリーにバススイッチ制御情報は格納されない。バススイッチ制御情報は、専用のバススイッチ制御情報格納部174に格納される。ここには、複数のバススイッチ制御情報が各エントリーごとに分けられて格納される。以下、本実施形態では、そのエントリー数がn個の場合について説明する。

【0037】

バススイッチ制御情報格納部174内のn個のエントリーは、それぞれ0番からn-1番までに番号付けされていて、外部から与えられる値によって、任意の1つのエントリーが選ばれて、バススイッチ制御情報が出力されるようになっている。

【0038】

本実施形態における外部から与えられる値とは、実際にはTLBを利用したアドレス変換作業において、選ばれたTLB中のエントリーの物理アドレス情報の一部分になっている。つまり、アドレス変換作業で選ばれた、TLB中の1エントリーの物理アドレス情報

の一部分の値（これも $0 \sim n-1$ までの値を持つ）に基づいて、バススイッチ制御情報格納部から、任意のバススイッチ制御情報が格納されたエントリーを選ぶということになる。

【0039】

次に、図11を用いて本実施形態に係るプロセッサの処理の流れを説明する。プロセッサ内部から、外部物理メモリに対するアクセスが発生すると、まず生成されたアドレス（仮想アドレス）は、TLB171のエントリー中に存在する仮想アドレス比較情報格納部であるTLB171内のVATAGと比較が行われる。比較の結果、仮想アドレスとVATAGが一致したエントリーが選択される。選択されたエントリー172は、仮にエントリー（K-2）とすると、そのエントリー中に存在する物理アドレス置換情報格納部に格納されているTLB171のPAを取り出し、その物理アドレス上位側情報173の一部分であるPA[Q:R]は、バススイッチ制御情報格納部174の所定の記憶領域175に転送される。PA[Q:R] = $0 \times S$ という値であった場合には、バススイッチ制御情報格納部174のエントリーからエントリー[S]175が選ばれる。選ばれたエントリー[S]から、内部に格納されているバススイッチ制御情報が取り出されて、キャッシュメモリもしくは、外部バスインターフェイスに送られる。

【0040】

キャッシュメモリに送られるバススイッチ制御情報は、すぐにバススイッチの制御には使われないが、キャッシュに格納されているデータが、何らかの理由で外部バスに接続されているメモリに書き戻されるといった処理に移る場合に、データと共にキャッシュメモリに格納されていたバススイッチ制御情報がバススイッチの制御に使用される。

【0041】

このようにアクセスアドレス値とバススイッチ制御情報間に相関性を持たせて、かつバススイッチ情報を外部に出力しないようにしたので、シャッフル機構の秘匿性を挙げ、よりセキュリティ効果を上げることができる。

【0042】

図12は、実施形態2におけるバススイッチ制御情報を生成する処理を示すフローチャートである。このフローチャートにおいては、バススイッチ制御情報のエントリー数を n として以下に説明する。まず、電源スイッチが入れられるか、または、ハードウェアリセットが投入され、初期状態となり（ステップS181）、ハードウェアのリセット解除を待つ（ステップS182）。ここで、ハードウェアのリセット解除があった場合には、バススイッチ制御情報の所定のエントリー番号（E）に初期値0をセットする（ステップS183）。続いて、バススイッチ制御情報のためのランダム値を生成し（ステップS184）、そのエントリーに制御情報を書き込む（ステップS185）。続いて、エントリー番号（E）を更新し（ステップS186）、エントリー番号（E）がバススイッチ制御情報のエントリー数に達したか否かを判定し（ステップS187）、バススイッチ制御情報のエントリー数に達していない場合には、ステップS184へ進む。一方、バススイッチ制御情報のエントリー数に達した場合には、バススイッチ制御情報の登録終了として（ステップS188）、処理を終了する。

【0043】

ここで、バススイッチ制御情報格納部174に格納されるバススイッチ制御情報は、プロセッサのハードウェアリセットの実行や電源をオンにする度に、ランダムな値として生成されバススイッチ制御情報格納部に格納され、利用されるのを待つ。バススイッチ制御情報は、ランダムな値として生成されるので、電源を立ち上げや、リセットの実行をする度に、異なる値が設定される。従って、同じようなバススイッチの入れ換えパターンでアクセスするといった再現性はなくなる。その結果、逆に外部バスインターフェイスの情報を解析していくといった作業を、複雑なものにしていくことができる。これにより、コンテンツのセキュリティをより高めることができる。

【0044】

このように本実施形態のプロセッサによれば、複数ビット存在するメモリ用データ信

号線を、入れ換え（シャッフル）を行うことで、メモリ用信号線が突き止められてしまったとしても、そのバスを流れるデータから容易にコンテンツのデータのフォーマットや処理内容が解析できないようにすることができる。以上説明したように、本実施形態によれば、データバスの信号線の入れ換え機能を持たせることで、画像や音声といった著作権が絡むような、コンテンツの処理を行うプロセッサのデータバスの信号の解析を行って、コンテンツのセキュリティを破るといったことが難解になり、それによってコンテンツの保護をより高いレベルで行うことができる。

【図面の簡単な説明】

【0045】

【図1】 本実施形態の映像音声システムを示すブロック図である。

【図2】 本実施形態のマイクロプロセッサを示すブロック図である。

【図3】 プリルーター129が格納するプリルーティング情報のフォーマット例を示す図である。

【図4】 図3のプリルーティング情報を例にしたプリルーター接続例を説明するための図である。

【図5】 本実施形態の4ビットバススイッチを示す図である。

【図6】 バススイッチ制御信号と接続状況の対応を示す図である。

【図7】 バススイッチの接続状況とバススイッチ制御信号のパラメーターの組み合わせを示す図表である。

【図8】 本実施形態におけるTLBの構造例を示す図である。

【図9】 本実施形態におけるキャッシュメモリの構造例を説明するための図である。

【図10】 外部メモリにTLB情報とバススイッチ制御情報を格納する場合を説明するための図である。

【図11】 実施形態2に係るプロセッサを説明するための図である。

【図12】 実施形態2におけるバススイッチ制御情報を生成する処理を示すフローチャートである。

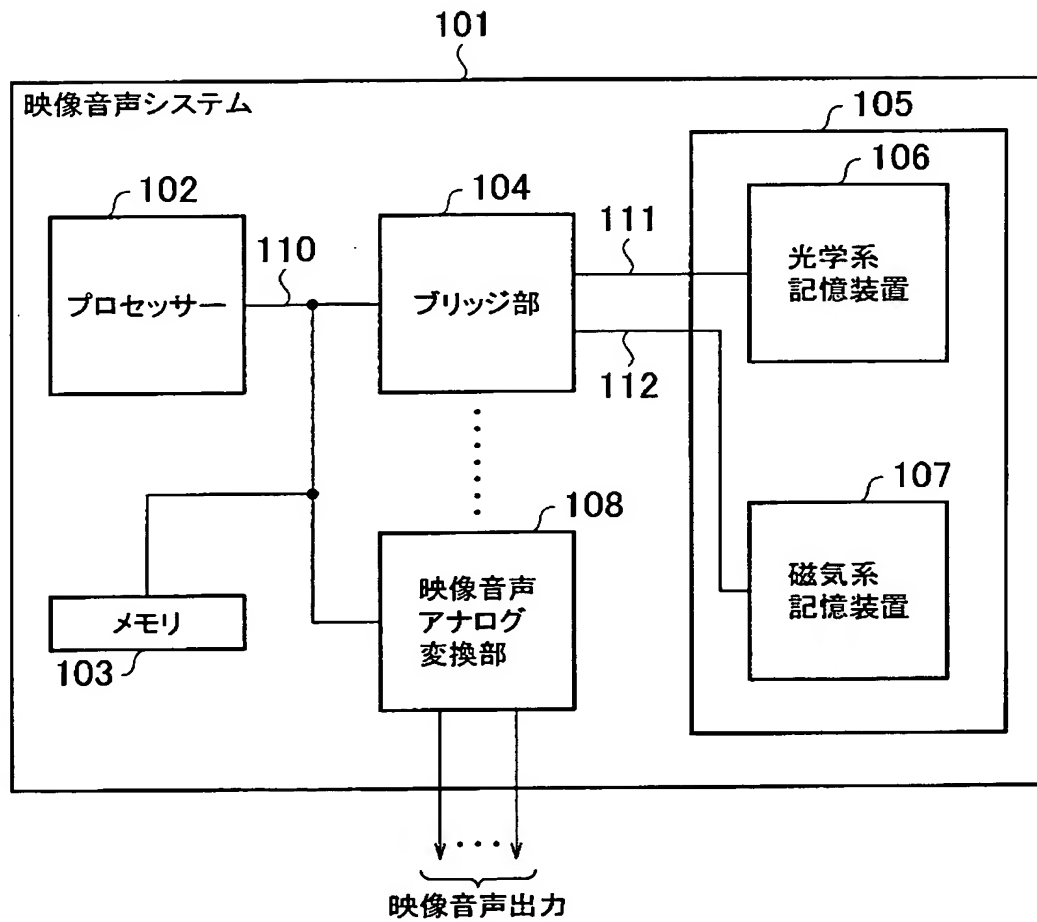
【符号の説明】

【0046】

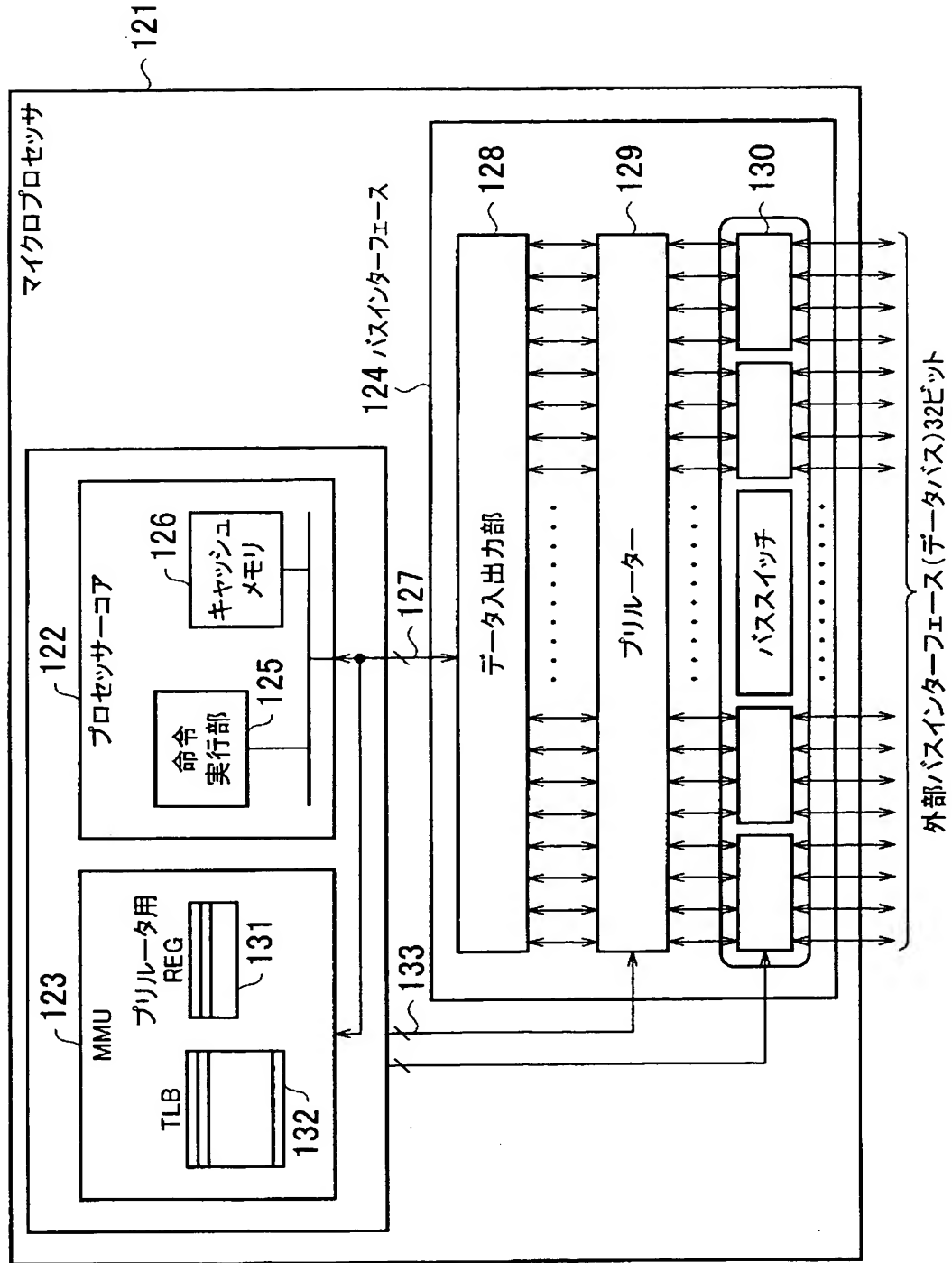
- 101 映像音声システム
- 102, 161 プロセッサ
- 103 メモリ
- 104 ブリッジ部
- 105 記憶装置
- 106 光学系記憶装置
- 107 磁気系記憶装置
- 108 映像音声アナログ変換部
- 110 ローカルバス
- 111, 112 ドライブ接続バス
- 121 マイクロプロセッサ
- 122 プロセッサコア
- 123 メモリ管理部 (MMU)
- 124 外部バスインターフェイス部
- 125 命令実行部
- 126 キャッシュメモリ
- 127 内部データバス
- 128 データ入出力部
- 129 スイッチング回路 (プリルーター)
- 130 バススイッチ
- 131 プリルーター用レジスター
- 132, 162, 171 TLB (Table lookaside buffer)

- 1 3 3 プリルーター制御線
- 1 4 1 V A T A G (仮想アドレス比較用情報格納部
- 1 4 2 ステータス情
- 1 4 3 バススイッチ制御情報格納部
- 1 4 4 物理アドレス置換用情報格納部
- 1 4 5 バススイッチ制御情報
- 1 4 6 物理アドレス上位側情報
- 1 5 1 物理アドレス比較用情報格納部
- 1 5 2 ステータス情報格納部
- 1 5 3 バススイッチ制御格納部
- 1 5 4 データ格納部
- 1 5 5 バススイッチ制御情報
- 1 6 3 外部バス
- 1 6 4 外部メモリ
- 1 6 5 メモリ領域
- 1 7 2 選択されたエントリー
- 1 7 3 物理アドレス上位側情報
- 1 7 4 バススイッチ制御情報格納部
- 1 7 5 選択されたエントリー

【書類名】 図面
【図 1】



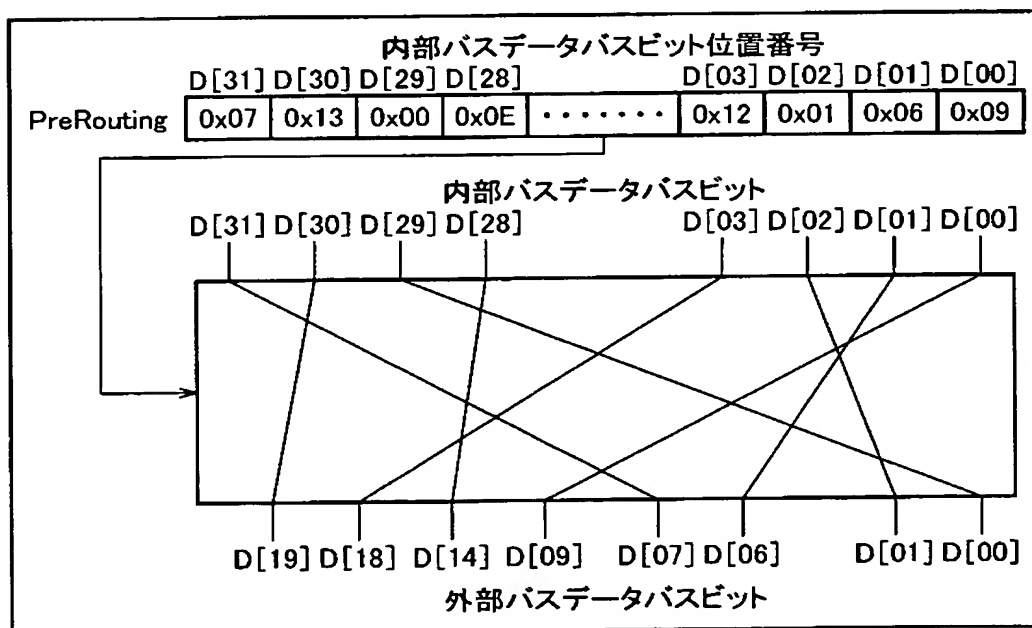
【図 2】



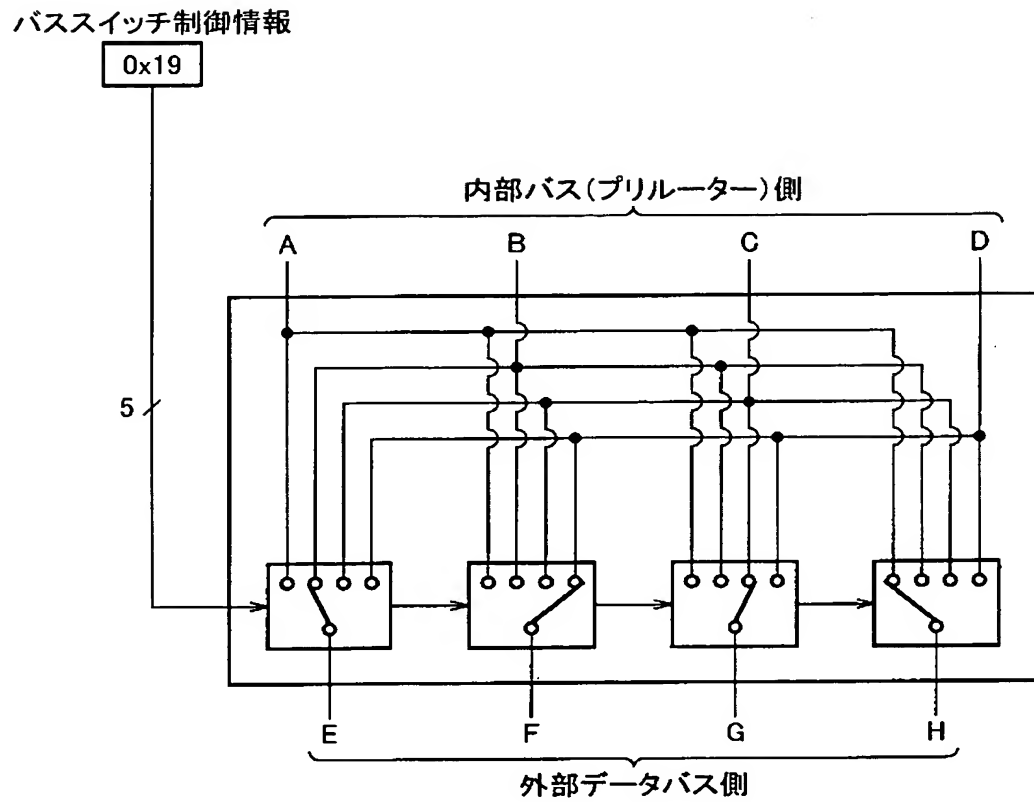
【図 3】

内部バスデータバスビット位置番号									
	31	30	29	28		03	02	01	00
PreRouting	0x07	0x13	0x00	0x0E	0x12	0x01	0x06	0x09

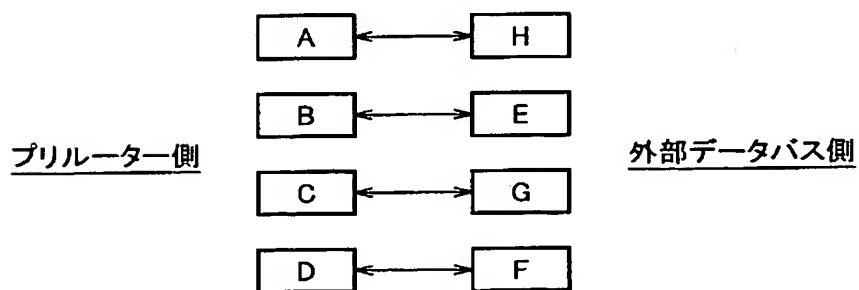
【図 4】



【図 5】



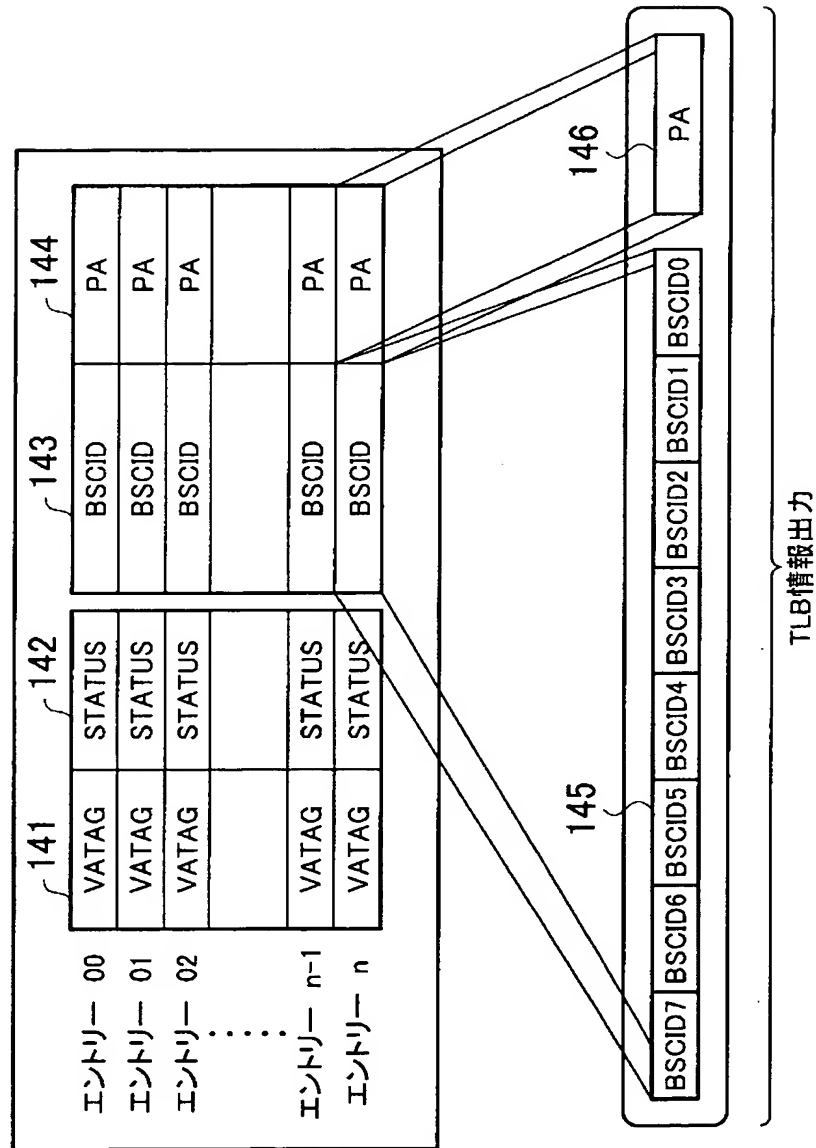
【図 6】



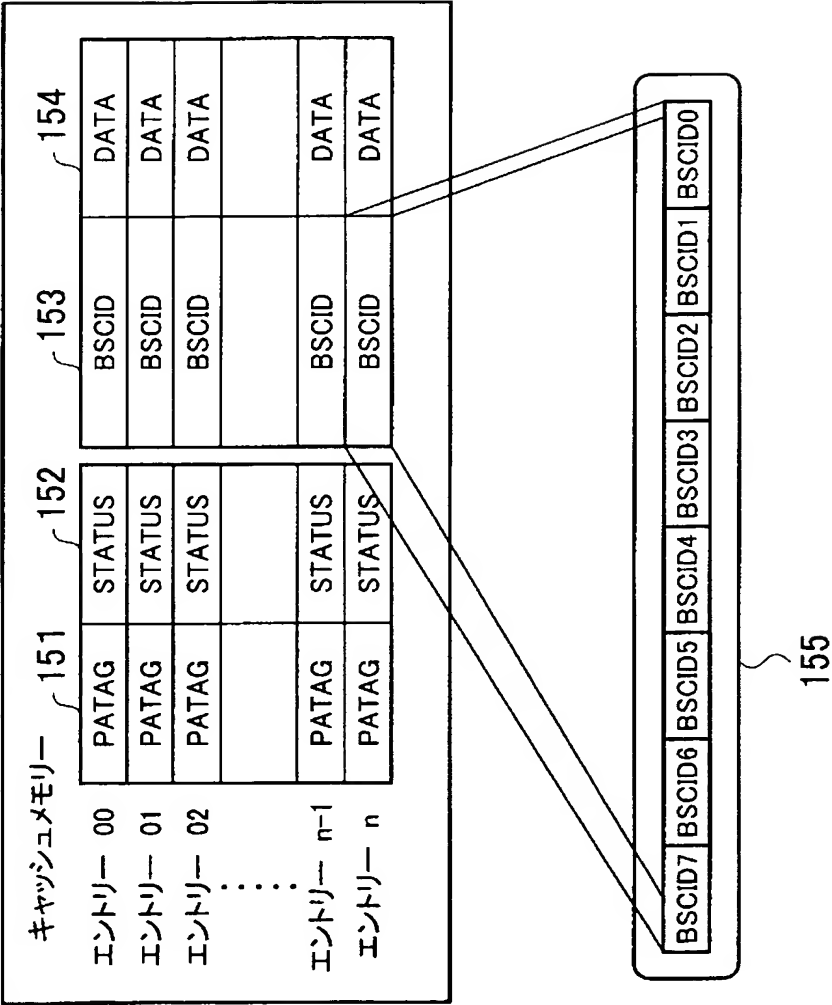
【図 7】

バススイッチ制御信号(情報)						バススイッチ接続状況			
十六進数	二進数					A	B	C	D
0x00	0	0	0	0	0	E	F	G	H
0x01	0	0	0	0	1	E	F	H	G
0x02	0	0	0	1	0	E	G	F	H
0x03	0	0	0	1	1	E	G	H	F
0x04	0	0	1	0	0	E	H	F	G
0x05	0	0	1	0	1	E	H	G	F
0x06	0	0	1	1	0	—	—	—	—
0x07	0	0	1	1	1	—	—	—	—
0x08	0	1	0	0	0	F	E	G	H
0x09	0	1	0	0	1	F	E	H	G
0x0A	0	1	0	1	0	F	G	E	H
0x0B	0	1	0	1	1	F	G	H	E
0x0C	0	1	0	1	0	F	H	E	G
0x0D	0	1	0	1	1	F	H	G	E
0x0E	0	1	1	1	0	—	—	—	—
0x0F	0	1	1	1	1	—	—	—	—
0x10	1	0	0	0	0	G	E	F	H
0x11	1	0	0	0	1	G	E	H	F
0x12	1	0	0	1	0	G	F	E	H
0x13	1	0	0	1	1	G	F	H	E
0x14	1	0	0	1	0	G	H	E	F
0x15	1	0	0	1	1	G	H	F	E
0x16	1	0	1	1	0	—	—	—	—
0x17	1	0	1	1	1	—	—	—	—
0x18	1	1	0	0	0	H	E	F	G
0x19	1	1	0	0	1	H	E	G	F
0x1A	1	1	0	1	0	H	F	E	G
0x1B	1	1	0	1	1	H	F	G	E
0x1C	1	1	0	1	0	H	G	E	F
0x1D	1	1	0	1	1	H	G	F	E
0x1E	1	1	1	1	0	—	—	—	—
0x1F	1	1	1	1	1	—	—	—	—

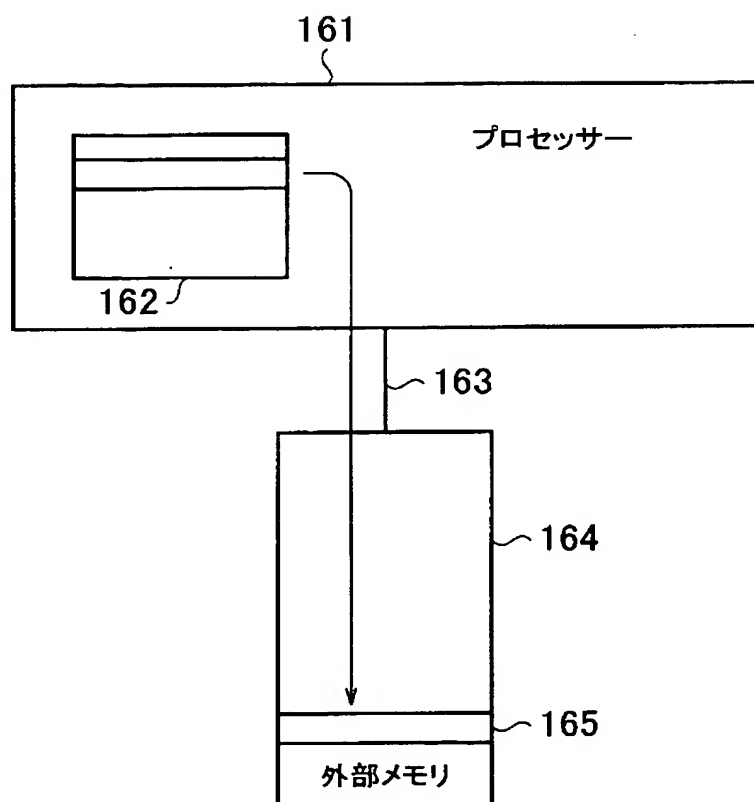
【図 8】



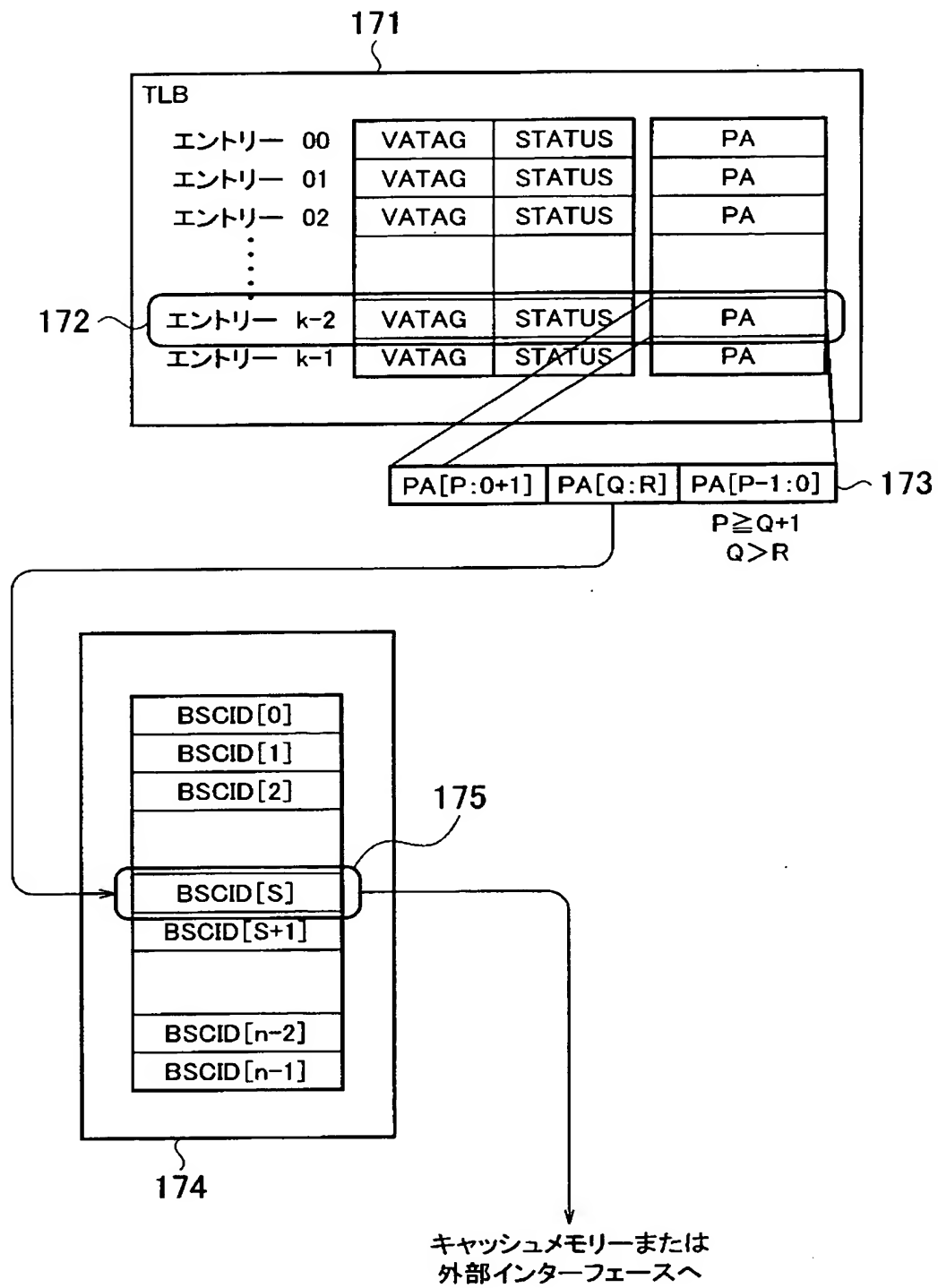
【図 9】



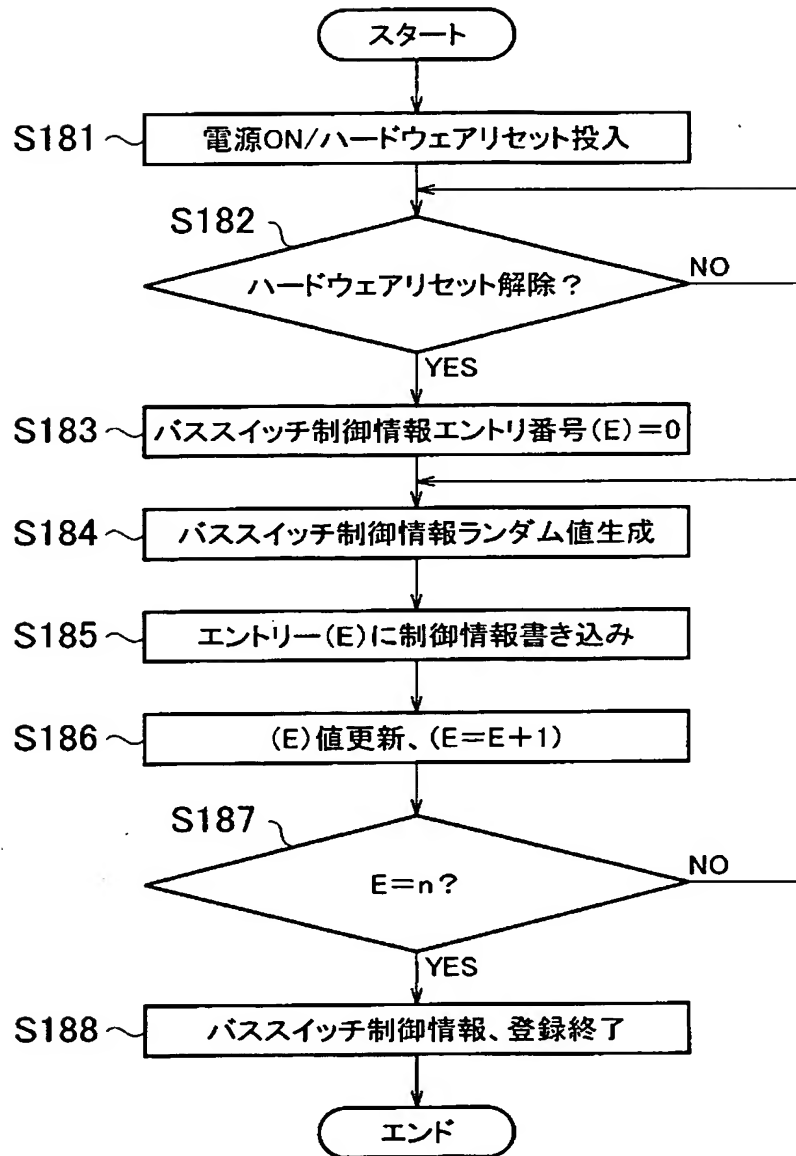
【図 10】



【図 11】



【図 12】



【書類名】 要約書**【要約】**

【課題】 メディアなどのコンテンツの保護を高いレベルで行う事である。

【解決手段】 データの入出力制御及びデータ処理のための命令の実行を行う命令実行部及び、データを一時的に保持するキャッシュメモリを有するプロセッサコア 1 2 2 と、プロセッサコア 1 2 2 に接続され、キャッシュメモリを含むメモリの管理を行うメモリ管理部 1 2 3 と、プロセッサコア 1 2 2 及びメモリ管理部 1 2 3 に接続され、このマイクロプロセッサ 1 2 1 の外部とのデータの入出力を行う際にデータバスの信号を入れ換え可能なバスインターフェイス 1 2 4 と、を有するようにしてある。このバスインターフェイス 1 2 4 は、データの入出力を行うデータ入出力部 1 2 8 と、データの入出力の際に、データバスの接続状況の入れ換えを行うプリルーター 1 2 9 と、所定のビット数の単位で前記データバスの接続状況の入れ換えを行うバススイッチ 1 3 0 と、を有するようにしてある。

【選択図】 図 2

特願 2 0 0 3 - 3 1 0 1 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝